

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CPA. JP 11-340472

특1999-0076552

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

(11) 공개번호 특1999-0076552

(43) 공개일자 1999년10월15일

H01L 21/336

(21) 출원번호 10-1998-0053928

(22) 출원일자 1998년12월09일

(30) 우선권주장 98-081456/1998년03월27일 일본(JP)

98-162285 1998년06월10일 일본(JP)

(71) 출원인 미쓰비시덴키 가부시기가이샤 대니구찌 미찌로오, 기타오카 다카시

일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고

(72) 발명자 마에다 시게노부

일본 도쿄도 지요다구 마루노우치 2초메 2-3미쓰비시덴키 가부시기가이샤 내

아마구찌 야스오

일본 도쿄도 지요다구 마루노우치 2초메 2-3미쓰비시덴키 가부시기가이샤 내

(74) 대리인 구영창, 장수길, 주성민

심사청구 : 있음

(54) 반도체 장치의 설계 방법

요약

본 발명은 동작 속도가 영향을 받지 않는 SOI 구조의 트랜지스터를 갖는 반도체 장치를 설계하는 방법을 제공한다.

SOI 구조의 MOS 트랜지스터에서 게이트 용량 C(F), 보디 저항 R(Ω) 및 클럭의 동작 주파수 f(Hz)로 한 경우, $f \geq 500\text{MHz}$ 의 범위에서 단계 S3에서 $R \cdot C \cdot f < 1$ 를 만족한 MOS 트랜지스터의 최대 허용 게이트 폭 $W_{g,max}$ 를 계산하고, 단계 S4에서 최대 허용 게이트 폭 $W_{g,max}$ 를 만족한 MOS 트랜지스터를 포함한 반도체 장치의 레이아웃 패턴을 생성한다.

도표도

도4

평면시

도면의 간단한 설명

도 1은 본 발명의 제1 실시 형태의 설계 방법으로 설계된 SOI 구조의 MOS 트랜지스터의 구성을 나타낸 평면도.

도 2는 도 1의 A-A 단면을 나타낸 단면도.

도 3은 제1 실시 형태의 보디 컨택트 구성을 나타낸 평면도.

도 4는 제1 실시 형태의 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트.

도 5는 제1 실시 형태의 설계 방법을 실행하는 레이아웃 패턴 생성 장치를 나타낸 블록도.

도 6은 제1 실시 형태의 H 게이트 전극 구성을 나타낸 평면도.

도 7은 제2 실시 형태의 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트.

도 8은 제3 실시 형태의 구조(그 1)를 나타낸 단면도.

도 9는 제3 실시 형태의 구조(그 2)를 나타낸 단면도.

도 10은 불순물 농도와 비저항과의 관계를 나타낸 그래프.

도 11은 제4 실시 형태의 구조(그 1)를 나타낸 단면도.

도 12는 제4 실시 형태의 제조 방법을 나타낸 단면도.

도 13은 제5 실시 형태의 구조를 나타낸 단면도.

도 14는 제6 실시 형태의 구조를 나타낸 단면도.

- 도 15는 제6 실시 형태의 제조 방법을 나타낸 단면도.
- 도 16은 제7 실시 형태의 구조를 나타낸 단면도.
- 도 17은 제8 실시 형태의 구성을 나타낸 평면도.
- 도 18은 제9 실시 형태의 구성을 나타낸 평면도.
- 도 19는 제10 실시 형태의 구성을 나타낸 평면도.
- 도 20은 필드 분리 구조를 갖는 반도체 장치의 전체 구성을 나타낸 사시도.
- 도 21은 SOI 구조의 MOS 트랜지스터를 나타낸 단면도.
- 도 22는 종래의 SOI 구조의 MOS 트랜지스터의 문제점을 지적한 그래프.
- 도 23은 보디 전위 고정된 MOS 트랜지스터를 모식적으로 나타낸 설명도.
- 도 24는 DT MOS트랜지스터를 모식적으로 나타낸 설명도.

<도면의 주요 부분에 대한 부호의 설명>

- 4 : FS 절연층
- 5, 5A : FS 전극
- 6, 6A, 6B : 게이트 전극
- 11 : 드레인 영역
- 11A ~ 11C : 부분 드레인 영역
- 12 : 소오스 영역
- 12A ~ 12C : 부분 소오스 영역
- 13, 23 : 보디부
- 14, 14A ~ 14H : 보디 영역
- 15 : 측벽
- 16 : 보디 콘택트
- 26 : H 게이트 전극
- 100 : 레미아웃 패턴 생성 장치
- 101 : 기록 매체
- A1 : 보디 고정 트랜지스터 영역
- A2 : 보디 플로팅 트랜지스터 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SOI 기판 상에 형성된 MOS 트랜지스터를 갖는 반도체 장치에 관한 것이다.

도 20은 본 발명의 배경이 되는 필드 분리 구조를 갖는 종래의 반도체 장치 M90의 단면 구조를 나타낸 단면 사시도이다. 이 반도체 장치는 트랜지스터 소자 등이 제조하는 반도체 기판으로서 절연성 기판 상에 막형으로 형성된 반도체층 즉, SOI(semiconductor-on-insulator)층을 구비한 SOI 기판을 사용한 SOI형 반도체 장치로서 구성되고 있다.

도 20에 도시한 바와 같이, 반도체 장치 M90에서는 지지 기판(1)과 매립 산화막(2)으로 구성되는 절연성 기판 상에 실리콘 반도체층이 SOI층(3)으로서 형성되어 있다. 이 SOI층(3)은 다수의 NMOS 트랜지스터의 형성 영역 및 PMOS 트랜지스터의 형성 영역을 포함하고 있다. 그리고, 이들 소자 영역을 서로 전기적으로 분리하기 위한 평판상 필드 실드 전극(이하, 「FS 전극」이라고 약기 ; 5)이 SOI층(3)의 각 소자 영역의 경계에 형성되어 있다.

도 20에서 FS 전극(5)은 각 소자 영역에서 활성 영역을 규정하도록 SOI층(3) 상에 소정의 간격을 두고 평행하게 배치되어 있다. 그리고, FS 전극(5)은 필드 실드 절연층(4 ; 이후, 「FS 절연층」이라고 약기)에 의해서 덮여지며, 활성 영역 상으로부터 평행하는 2개의 FS 절연층(4)의 상부에 걸쳐도록 게이트 전극(6)이 배치되어 있다. 또, 게이트 전극(6)과 활성 영역과의 사이에는 게이트 산화막(10)이 형성되어 있다. FS 절연층은 산화물로 구성되며 이 FS 절연층(4)에 의해서 FS 전극(5)과 게이트 전극(6)과의 사이가 전기적으로 절연되어 있다.

SOI층(3) 내의 소오스 영역 및 드레인 영역(도 20에서는 도시하지 않음)은 도시하지 않은 절연층에 설치된 콘택트 홀(7)을 통하여 드레인 전극 및 소오스 전극(도 20에서는 도시하지 않음)과 전기적으로 접속되어 있으며, 게이트 전극(6)은 콘택트 홀(8)을 통하여 게이트 배선(도 20에서는 도시하지 않음)에 접속되

어 있다.

또한, 컨택트 홀(9)을 통하여 보디 콘택트 전극(도 20에서는 도시하지 않음)이 S01층(3)에 접속되어 있다. 또한, 도 20에서 보디 콘택트 전극에 접속되는 컨택트 홀(9)이 FS 전극(5)을 관통하여 S01층(3)에 접속되는 구성을 나타냈지만, FS 전극(5)의 외측에 있는 S01층(3) 상에 컨택트 홀(9)을 설치하도록 하고 있는 구성도 일반적이다.

반도체 장치 M90에서 NMOS 구조에서는 0V, PMOS 구조에서는 전원 전압 Vcc가 FS 전극(5)에 인가됨으로써, 분리 영역의 S01층(3)이 차단 상태가 되며, 그 결과 소자 영역 간의 전기적인 분리가 실현된다.

또한, 도 20에서 보디 전위 고정용 컨택트 홀(9)을 형성하지 않고서 S01층(3)에서의 보디부를 플로우팅으로 하는 구조도 생각된다.

도 21은 보디부가 플로우팅 상태에 있는 S01 구조의 N형 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다.

도 21에 도시한 바와 같이, 지지 기판(1) 상에 매립 산화막(2)이 형성되며 매립 산화막(2) 상에 S01층(3)이 형성된다. S01층(3) 내에 선택적으로 N형 드레인 영역(11) 및 소오스 영역(12)이 형성되며 드레인 영역(11), 소오스 영역(12) 간에 있는 보디 영역을 포함하는 S01층(3)의 P형 영역 부분이 보디부(13)로서 규정된다.

드레인 영역(11), 소오스 영역(12) 간의 보디부(13) 상에 게이트 산화막(10)을 통하여 게이트 전극(6)이 형성된다.

이러한 구성의 S01 구조의 MOS 트랜지스터에서 보디부(13)의 전위가 고정되지 않은 경우, 도 22와 같이 드레인 영역(11), 소오스 영역(12)을 흐르는 신호 등의 영향을 받아 보디 전위 BV가 변화하고, 보디 전위 BV의 변화에 따라 MOS 트랜지스터의 동작 속도 Vc가 변화한다. 여기서, 도 22의 보디 전위와 동작 속도와의 관계는 시간=0을 기준으로 한 상대치이다.

그래서, 도 20에서 도시한 보디 전위 고정용 컨택트 홀(9) 등을 설치하여 보디부(13)를 전위 고정하는 방법이 생각된다. 도 23은 보디 전위를 고정한 MOS 트랜지스터 구조를 모식적으로 나타낸 설명도이다. 도 23에 도시한 바와 같이, 보디부(13)는 보디 단자 PB1에 의해서 전위 고정된다.

또한, 도 24에 도시한 바와 같이 게이트 전극(6)과 보디부(13)를 단락하고 보디 단자 PB2에 의해서 공통의 전위를 부여하도록 한 DT(Dynamic Threshold) MOS 구조로 하는 것도 생각된다.

본 발명이 이루고자하는 기술적 과제

종래의 S01 구조의 MOS 트랜지스터는 도 23 또는 도 24에 도시한 바와 같이, 보디부(13)를 전위 고정함으로써 동작 속도가 비교적 느린 경우에 동작 속도를 안정시킬 수 있었다.

그러나, 동작 주파수가 500MHz 이상의 클럭에 동기하여 고속 동작을 행하는 경우에는, 각 회로 간에서의 신호 교환의 타이밍에 대한 요구가 매우 엄격해지며, 도 23 및 도 24에서 도시한 구조의 MOS 트랜지스터에서도 보디부(13)가 플로우팅 상태의 경우와 마찬가지로 현상이 생기게 되며, 안정 동작이 불가능해지는 등의 동작 속도가 영향을 받게되는 문제점이 있었다.

본 발명은 상기 문제점을 해결하기 위해서 이루어진 것으로, 고속 동작 시에서도 동작 속도가 영향을 받지 않는 S01 구조의 트랜지스터를 갖는 반도체 장치 및 그 설계 방법을 얻는 것을 목적으로 한다.

본 발명에 따른 반도체 장치의 설계 방법은, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되며, 소정의 클럭에 기초하여 동작하는 MOS 트랜지스터를 갖는 반도체 장치를 설계하는 방법으로서, 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제1 도전형의 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극과, 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 콘택트를 구비하고, (a) 상기 소정의 클럭의 동작 주파수를 부여하는 단계와, (b) 상기 소정의 클럭의 동작 주파수에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고, 상기 단계 (b)는 C : 상기 MOS 트랜지스터의 게이트 용량 (F) R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항 (Ω) f : 상기 소정의 클럭의 동작 주파수(Hz)로 할 때, $f \geq 500\text{MHz}$ 의 범위에서 조건식 1 : $R \cdot C \cdot f < 1$ 을 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있다.

본 발명에 따른 반도체 장치의 설계 방법은, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되는 MOS 트랜지스터를 갖는 반도체 장치를 설계하는 방법에 있어서, 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제1 도전형의 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극을 구비하고, 상기 게이트 전극은 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 콘택트를 더욱 구비하고, (a) 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간을 부여하는 단계와, (b) 상기 신호 전파 지연 시간에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고, 상기 단계 (b)는 C : 상기 MOS 트랜지스터의 게이트 용량(F) R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항(Ω) t_d : 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)로 할 때, $t_d \leq 50\text{ps}$ 의 범위에서 조건식 2 : $(R \cdot C) / t_d < 1$ 을 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있다.

본 발명에 따른 반도체 장치는 상기 반도체 장치의 설계 방법으로 설계되고 있다.

본 발명에 따른 반도체 장치는, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되며

소정의 물력에 기초하여 동작하는 MOS 트랜지스터를 갖고 있으며, 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제2 도전형의 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역의 보디 영역을 포함하는 제2 도전형의 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극과, 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 컨택트를 구비하고, C : 상기 MOS 트랜지스터의 게이트 용량(F) R : 상기 적어도 1개의 보디 컨택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항(Ω) f : 상기 소정의 물력의 동작 주파수(Hz)로 할 때, $f \geq 500\text{MHz}$ 의 범위에서, 조건식 1 : $R \cdot C \cdot f < 1$ 을 만족하고 있다.

본 발명에 따른 반도체 장치는, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되는 MOS 트랜지스터를 갖고 있으며 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제2 도전형의 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역의 보디 영역을 포함하는 제2 도전형의 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극을 구비하고, 상기 게이트 전극은 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 컨택트를 더욱 구비하고, C : 상기 MOS 트랜지스터의 게이트 용량(F) R : 상기 적어도 1개의 보디 컨택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항(Ω) t_d : 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)으로 할 때, $t_d \leq 50\text{ps}$ 의 범위에서 조건식 2 : $(R \cdot C) / t_d < 1$ 을 만족하고 있다.

본 발명에 따른 반도체 장치에서, 상기 고정 전위 전달 경로의 저항 R은 Ψ : 상기 보디 영역에서의 상기 고정 전위 전달 경로의 상기 게이트 전극의 게이트 폭 방향의 길이 L : 상기 보디 영역에서의 상기 고정 전위 전달 경로의 상기 게이트 전극의 게이트 길이 방향의 길이, t_{ox} : 상기 S01층의 막 두께, ρ : 상기 보디 영역의 비저항으로 할 때, $\{R = (\rho \cdot \Psi) / (L \cdot t_{ox})\}$ 로 결정한다.

본 발명에 따른 반도체 장치에서, 상기 보디부는 상기 보디 영역으로부터 연장되어 상기 제1 및 제2 반도체 영역의 외부 주변부 중 적어도 일부에 인접하여 형성되는 영역을 포함하고, 상기 보디 영역을 제외하여 상기 제1 및 제2 반도체 영역의 외부 주변부 중 적어도 일부에 인접한 상기 보디부 상에 절연막을 통해 형성되는 분리 전극을 더욱 구비하고 상기 적어도 1개의 보디 컨택트는 상기 분리 전극을 끼워 상기 제1 및 제2 반도체 영역과 평면 상 대향하는 보디부의 영역 상에 형성되는 분리 전극 외 보디 컨택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 보디 영역은 상기 보디 컨택트가 형성 가능한 보디 컨택트 가능 영역을 갖고, 상기 게이트 전극은 상기 보디 컨택트 가능 영역이 노출하는 개구부를 가지며, 상기 적어도 1개의 보디 컨택트는 상기 보디 컨택트 가능 영역 상에 형성되는 게이트 전극 내 보디 컨택트를 더욱 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 복수의 제1 반도체 영역을 포함하고 상기 제2 반도체 영역은 복수의 제2 반도체 영역을 포함하고 상기 보디부는 상기 복수의 제1 및 제2 반도체 영역이 이산 분리되도록 상기 복수의 제1 및 제2 반도체 영역 간에 형성되는 영역을 포함하고 상기 분리 전극은 상기 복수의 제1 및 제2 반도체 영역을 이산 분리하는 상기 보디부 상에 더욱 형성되어 있다.

본 발명에 따른 반도체 장치에서, 상기 보디부는 상기 제1 및 제2 반도체 영역의 게이트 폭 방향에서 인접하고 상기 보디 영역으로부터 게이트 길이 방향으로 연장하여 형성되는 영역을 포함하고, 상기 게이트 전극은 상기 제1 및 제2 반도체 영역에 게이트 폭 방향에서 인접한 상기 보디부 상을 상기 보디 영역 상으로부터 상기 게이트 길이 방향으로 더욱 연장하여 형성되며 상기 적어도 1개의 보디 컨택트는 상기 게이트 전극을 끼워 상기 제1 및 제2 반도체 영역과 평면 상 대향하는 상기 보디부의 영역 상에 형성되는 게이트 전극 외 보디 컨택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 보디 영역은 상기 보디 컨택트가 형성 가능한 보디 컨택트 가능 영역을 갖고, 상기 게이트 전극은 보디 컨택트 가능 영역이 노출하는 개구부를 가지며, 상기 적어도 1개의 보디 컨택트는 상기 보디 컨택트 가능 영역 상에 더욱 형성되는 게이트 전극 내 보디 컨택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 적어도 1개의 보디 컨택트는 상기 게이트 전극의 게이트 폭 방향의 일단의 연장선 상에 위치하는 상기 보디부 상에 형성되는 제1 보디 컨택트와, 상기 게이트 전극의 게이트 폭 방향의 타단의 연장선 상에 있는 상기 보디부 상에 형성되는 제2 보디 컨택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 보디 영역은 적어도 일부가 상층부에 형성되는 제1 보디 영역과, 하층부에 형성되는 제2 보디 영역을 갖고, 상기 제2 보디 영역은 상기 제1 보디 영역의 제2 도전형의 불순물 농도보다도 높은 제2 도전형의 불순물 농도를 갖고 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 제1 주영역과 제1 부분 반도체 영역을 갖고, 상기 제2 반도체 영역은 제2 주영역과 제2 부분 반도체 영역을 가지며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 반도체 영역 간에 대향하는 상층부의 일부 영역에 형성되며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 주영역보다 제1 도전형의 불순물 농도가 낮게 설정되며, 상기 제2 보디 영역은 제1 및 제2 부분 보디 영역을 포함하고, 상기 제1 및 제2 부분 보디 영역은 상기 제1 및 제2 부분 반도체 영역의 일부 아래쪽으로 각각 상기 제1 및 제2 주영역과 계면을 접하여 형성되며, 상기 제1 및 제2 부분 보디 영역을 제외하는 상기 보디 영역이 상기 제1 보디 영역이 되며, 상기 제1 보디 영역은 상기 제1 및 제2 주영역과 계면을 접하는 일 없이 형성되며, 상기 제1 및 제2 부분 반도체 영역은 각각 상기 제1 및 제2 부분 보디 영역에서 상기 게이트 전극의 중심 방향으로 소정 거리 연장하여 형성되고 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 제1 주영역과 제1 부분 반도체 영역을 갖고, 상기 제2 반도체 영역은 제2 주영역과 제2 부분 반도체 영역을 가지며, 상기 제1 및 제2 부분 반도체 영

역은 각각 제1 및 제2 반도체 영역 간에서 대항하는 일부분의 영역에 상기 SOI층을 관통하여 형성되며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 주영역보다 제1 도전형의 불순물 농도가 낮게 설정되어 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 제1 주영역과 제1 부분 반도체 영역을 갖고, 상기 제2 반도체 영역은 제2 주영역과 제2 부분 반도체 영역을 가지며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 반도체 영역 간에서 대항하는 일부분의 영역으로 형성되며, 상기 제1 및 제2 반도체 영역은 각각 제1 및 제2 주영역보다 제1 도전형의 불순물 농도가 낮게 설정되며, 상기 제2 반도체 영역은 상기 보디 영역의 하층부의 중심 영역에 상기 제1 및 제2 주영역과 계면을 접하는 일 없이 형성되고 있다.

본 발명에 따른 반도체 장치에서, 보디 전위를 고정하지 않은 보디 플로우팅 MOS 트랜지스터를 더욱 구비하고, 상기 SOI층은 제1 및 두께의 제1 영역과 상기 제1 및 두께보다도 얇은 제2 및 두께의 제2 영역을 갖고, 상기 MOS 트랜지스터는 상기 제1 영역 상에 형성되며, 상기 보디 플로우팅 MOS 트랜지스터는 상기 제2 영역 상에 형성되어 있다.

본 발명에 따른 기록 매체는 상기 기재된 반도체 장치의 설계 방법을 실행시키기 위한 프로그램이 기록되어 있다.

본 발명의 구성 및 작용

<제1 실시 형태>

도 1은 본 발명의 제1 실시 형태인 반도체 장치의 설계 방법으로 설계된 FS 분리에 의한 SOI 구조의 NMOS 트랜지스터의 평면 구성을 나타낸 평면도이다. 또한, 도 2는 도 1의 A-A 단면을 나타낸 단면도이다. 이 둘의 도면에 나타난 바와 같이, N형 드레인 영역(11), 소오스 영역(12)의 주변 인접 영역에 있는 보디부(13) 상에 FS 절연층(4)을 통해 FS 전극(5)이 형성된다. 여기서, 보디부(13)는 드레인 영역(11), 소오스 영역(12) 간의 보디 영역(14) 및 보디 영역(14)으로부터 연장되어 형성되는 P형 영역을 의미한다.

보디 영역(14) 상 및 FS 전극(5)의 일부 상에 게이트 전극(6)이 형성된다. 게이트 전극(6)은 보디 영역(14) 상에서는 게이트 산화막(10)을 통해 형성되며, FS 전극(5)의 일부 상에서는 FS 절연층(4)을 통해 형성된다. 또한, 도 1 및 도 2에 도시하지 않았지만, 보디 컨택트는 FS 전극(5)에 대해 평면 상의 외주에 위치하는 보디부(13) 상에 형성된다.

이러한 구조에 의해서, 드레인 영역(11), 소오스 영역(12) 및 게이트 길이 L, 게이트 폭 W의 게이트 전극(6)으로 이루어진 MOS 트랜지스터가 형성된다.

이러한 구조의 FS 분리에 의한 MOS 트랜지스터는 FS 전극(5)에 의한 분리 기능이 작동하고 있는 기간 동안은 보디 영역(14)을 제외한 드레인 영역(11), 소오스 영역(12)의 외부 주변부의 보디부(13)로부터 보디 전위가 드레인 영역(11), 소오스 영역(12)에 직접 전달되는 일은 없다.

이러한 구조의 MOS 트랜지스터에서, 게이트 산화막 두께 t_{ox} , 게이트 길이 L 및 게이트 폭 W의 게이트 용량 C는 하기에 나타낸 수학적 식 1로 결정한다.

$$C = K_{ox} \epsilon_0 \frac{L \cdot W}{t_{ox}}$$

한편, 보디 컨택트(16)로부터 보디 영역(14)에 미치는 고정 전위 전달 경로의 저항에 상당하는 보디부(13)의 보디 저항 R은 실질적으로는 게이트 전극(6) 하의 A-A 방향에서의 보디 영역(14)의 저항에 의해서 결정한다. 왜냐하면, 보디부(13)의 보디 영역(14) 이외의 영역은 게이트 길이 L에 비해서 충분히 큰 폭의 고정 전위 전달 경로로 되어 있기 때문에, 그 저항은 보디 영역(14)의 저항에 비해서 무시할 수 있는 레벨이기 때문이다.

따라서, ϵ_0 : 진공의 유전율, K_{ox} : 게이트 산화막(10)의 비유전율, ρ : 보디 영역(14)의 비저항, t_{ox} : SOI층(3)의 막 두께 t_{soi} 로 하면, 하기에 도시한 수학적 식 2에서 보디 저항 ROI 결정된다.

$$R = \rho \cdot \frac{W}{L \cdot t_{soi}}$$

단, 정확히 말하면 수학적 식 2에서의 게이트 길이 L은 보디 영역(14)에서의 고정 전위 전달 경로의 게이트 전극(6)의 게이트 길이 방향의 길이, 수학적 식 2에서의 게이트 폭 W는 보디 영역(14)에서의 고정 전위 전달 경로의 게이트 전극(6)의 게이트 폭 방향의 길이가 된다. 여기서는 보디 영역(14)에서의 고정 전위 전달 경로의 게이트 폭 방향의 길이는 게이트 전극(6)의 게이트 폭 W와 거의 같고, 게이트 길이 방향의 길이는 게이트 전극(6)의 게이트 길이 L과 거의 같은 경우를 상정하여 수학적 식 2를 결정하고 있다.

수학적 식 1, 수학적 식 2에서 결정하는 게이트 용량 C(F), 보디 저항 R(Ω)을 갖는 MOS 트랜지스터가 동작하는 클럭의 동작 주파수 f(Hz)에 기초한 시뮬레이션 결과에 의해서 클럭의 동작 주파수 f가 500MHz 이상의 고속 동작이 요구되는 경우라도 하기의 수학적 식 3에 나타난 조건을 만족하면, MOS 트랜지스터가 안정적으로 동작하는 것을 발견하였다.

$$R \cdot C \cdot f < 1$$

수학식 3에 수학식 1, 수학식 2를 적용함으로써 수학식 3은 하기의 수학식 4로 변형할 수 있다.

$$R \cdot C \cdot f = \rho \cdot K_o \cdot \epsilon_o \cdot \frac{W^2}{t_{ox} \cdot t_{soi}} \cdot f < 1$$

따라서, 클럭의 동작 주파수 f 가 결정될 때 수학식 4를 만족하는 게이트 폭 W , 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 를 갖는 SOI 구조의 MOS 트랜지스터로 구성되는 회로는 고속 동작 시에서도 안정 동작이 가능해진다.

예를 들면, $\rho=0.08(\Omega \cdot \text{cm})$, $K_o=3.9$, $\epsilon_o=8.86 \times 10^{-14}(\text{F/cm})$, $f=10(\text{GHz})$ 일 때, 하기의 수학식 5에 나타난 조건을 게이트 폭 W , 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 를 만족하면 좋다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{1}{\rho \cdot K_o \cdot \epsilon_o \cdot f} = 3.6 \times 10^3$$

이 때, 게이트 산화막 두께 $t_{ox}=0.007(\mu\text{m})$, SOI층 막 두께 $t_{soi}=0.1(\mu\text{m})$ 로 하면 $\{W < 2.52\}$ 즉, $\{W < 1.59(\mu\text{m})\}$ 가 되는 제약 조건 1을 만족하면 좋다.

단지, 도 3에 도시한 바와 같이 게이트 폭 W 방향에서의 게이트 전극(6) 양측의 보디부(13) 상에 각각 보디 컨택트(16A, 16B)를 설치한 경우, 보디 컨택트(16A)측과 보디 컨택트(16B)측에서 보디 영역(14)에서의 고정 전위 전달 경로가 2분할되기 때문에, 게이트 폭 $W/2$ 의 2개의 보디 영역 각각에서 수학식 1 ~ 수학식 4를 적용할 수 있다. 따라서, $\{W/2 < 1.59(\mu\text{m})\}$ 가 되는 제약 조건 2를 만족하면 좋고, 최대 허용의 게이트 폭 W 를 제약 조건 1의 경우의 2배로 할 수 있다.

도 4는 본 발명의 제1 실시 형태인 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트이다.

도 4를 참조하여, 우선 단계 S1에서 클럭의 동작 주파수 $f(\geq 500\text{MHz})$ 를 설정한다. 그리고, 단계 S2에서 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 등의 게이트 폭 W 이외의 파라미터를 결정한다.

계속해서, 단계 S3에서 수학식 4를 적용하여 $R \cdot C \cdot f < 1$ 을 만족하는 최대 허용 게이트 폭 W_{max} 를 구한다.

그리고, 단계 S4에서 최대 허용 게이트 폭 W_{max} 를 만족한 MOS 트랜지스터를 포함하는 레이아웃 패턴을 생성하여 반도체 장치를 설계한다.

이와 같이, 제1 실시 형태의 반도체 장치의 설계 방법은 $\{R \cdot C \cdot f < 1\}$ 을 이용하여 장치 설계를 행하고 있기 때문에, 설계자는 시행 착오에 상관없이 객관적 인식에만 기초해서 장치가 동작해야 할 주파수에 대해 확실하게 안정 동작시킬 수 있는 반도체 장치를 항상 얻을 수 있다. 즉, $\{R \cdot C \cdot f < 1\}$ 에 의해서 소정의 주파수에 대해 안정 동작이 가능한 최대 허용 게이트 폭 W_{max} 를 정확하게 인식할 수 있는 효과를 발휘한다.

또, 도 4에서 도시한 플로우차트에서는 게이트 폭 W 를 최종적인 허용치(최대 허용 게이트 폭 W_{max})를 구하는 파라미터로 했지만, $\{R \cdot C \cdot f < 1\}$ 을 만족하는 파라미터면 어느 것이나 허용치를 구하는 파라미터로 할 수 있으며, 더욱 2개 이상의 파라미터의 조합의 허용치 등에도 적용할 수 있는 것은 물론이다.

도 5는 제1 실시 형태의 반도체 장치의 설계 방법을 자동적으로 실행하는 레이아웃 패턴 생성 장치의 나 타낸 블록도이다. 도 5에 도시한 바와 같이, 레이아웃 패턴 생성 장치(100)는 회로 데이터(D1) 및 설정 용 파라미터(D2)를 받는다. 또, 설정용 파라미터(D2)는 클럭의 동작 주파수 f 와 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 등의 게이트 폭 W 이외의 파라미터를 의미한다.

레이아웃 패턴 생성 장치(100)는 내부의 기록 매체(101)에 기록된 레이아웃 패턴 생성 프로그램을 실행할 수 있는 컴퓨터로서의 기능을 갖고 있다. 레이아웃 패턴 생성 프로그램은 제1 실시 형태의 경우, 도 4의 단계 S1, 단계 S2와 마찬가지로 설정해야 할 클럭의 동작 주파수 f , 게이트 폭 W 이외의 파라미터를 부여 하는 단계와, 도 4의 단계 S3 및 단계 S4와 동일한 처리를 행하는 단계를 기록한 프로그램이 된다.

따라서, 레이아웃 패턴 생성 장치(100)는 부여된 회로 데이터(D1) 및 설정용 파라미터(D2)에 기초하여 $\{R \cdot C \cdot f < 1\}$ 을 만족하는 MOS 트랜지스터를 포함하는 레이아웃 패턴 데이터(D3)를 자동 생성할 수 있다. 또, 기록 매체(101)로서는 예를 들면 플로피 디스크, CD-ROM, 하드 디스크 등이 생각된다.

또, 제1 실시 형태에서는 FS 분리 구조의 MOS 트랜지스터의 설계 방법에 대해 설명했지만, 도 6에 도시한 바와 같은 H형 게이트 구조의 설계 방법에도 적용할 수 있다. H 게이트 전극(26)의 좌우의 '1'에 의해서 드레인 영역(11) 및 소오스 영역(12)에 게이트 폭 W 방향으로 인접하여 형성되는 보디부(23)와 드레인 영역(11) 및 소오스 영역(12)을 전기적으로 분리하고 중앙의 '-'가 본래의 MOS 트랜지스터의 게이트 전극으로서 기능한다.

따라서, H 게이트 전극(26)을 통해 드레인 영역(11) 및 소오스 영역(12)과 대향하는 위치의 보디부(23) 상에 보디 컨택트(16)를 형성한 경우에도 보디 컨택트(16)로부터 얻어진 보디 전위가 드레인 영역(11), 소오스 영역(12)에 직접 전달되는 일은 없다.

이와 같이, 제1 실시 형태의 SOI 구조의 MOS 트랜지스터는 보디 전위 고정에 있어서, 게이트 폭 W , 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 가 [식 3(식 4)]을 만족하도록 설계하고 있기 때문에, 고속 동작 시에서도 동작 속도가 변동하지 않은 안정 동작이 가능한 반도체 장치를 얻을 수 있다.

이 때, 수학식 3을 만족하는 범위에서 최대의 게이트 폭 W 를 설정함으로써 안정된 동작이 가능한 범위

서 최고의 속도로 동작하는 SOI 구조의 MOS 트랜지스터를 얻을 수 있다.

또, 수학식 3의 클럭의 동작 주파수 f 는, 제1 실시 형태의 SOI 구조의 MOS 트랜지스터가 CPU, DSP, 통신 등 칩 등의 동기형 논리 회로에 이용되는 경우는 동작 주파수, 클럭 주파수, 발진 주파수 등을 의미하고 DRAM, SRAM 등의 반도체 기억 장치에 이용되는 경우는 동작 주파수, 클럭 주파수, 액세스 시간의 역수 등을 의미한다.

<제2 실시 형태>

제1 실시 형태와 마찬가지로 해서, 수학식 1, 수학식 2에서 결정하는 게이트 용량 $C(F)$, 보디 저항 $R(\Omega)$ 을 갖는 DT MOS트랜지스터 1단위에 요구하는 신호 전파 지연 시간 $t_{\omega}(s)$ 에 기초하는 시뮬레이션 결과에 의해서 신호 전파 지연 시간 t_{ω} 가 50ps 이하의 고속 동작 시에서도 하기의 수학식 6에 도시한 조건을 만족하면 DT MOS트랜지스터가 안정적으로 동작하는 것을 발견하였다.

$$\frac{R \cdot C}{t_{pd}} < 1$$

예를 들면, $\rho=0.08(\Omega \cdot \text{cm})$, $K_0=3.9$, $\epsilon_0=8.86 \times 10^{-14}(F/\text{cm})$, $t_{\omega}=50(\text{ps})$ 일 때, 하기의 수학식 7에 나타낸 조건을 게이트 폭 W , 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 가 만족하면 좋다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{t_{pd}}{\rho \cdot K_0 \cdot \epsilon_0} = 1.8 \times 10^3$$

이 때, 게이트 산화막 두께 $t_{ox}=0.007(\mu\text{m})$ 로 하면 SOI층 막 두께 $t_{soi}=0.1(\mu\text{m})$ 로 하면, $\{W < 1.26\}$ 즉, $\{W < 1.12(\mu\text{m})\}$ 가 되는 제약 조건 3을 만족하면 좋다.

단지, 보디부의 게이트 폭 W 방향에서의 게이트 전극의 양측의 보디부에서 게이트 전극과 보디부를 단락 시킨 경우, 제1 실시 형태와 동일하고 보디 영역(14)에서의 고정 전위 전달 경로는 2분할되기 때문에, $\{(W/2) < 1.12(\mu\text{m})\}$ 가 되는 제약 조건 4를 만족하면 좋고 최대 허용의 게이트 폭 W 를 제약 조건 3인 경우의 2배로 할 수 있다.

또, 제2 실시 형태의 DTMOS는 게이트 전극(6)과 보디부를 단락하는 이외는 도 1 및 도 2에서 나타낸 것과 마찬가지로 구조를 나타내고 있으며, 도 6에 도시한 바와 같은 H형 게이트 구조에도 적용할 수 있다.

도 7은 제2 실시 형태의 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트이다.

도 7을 참조하여, 우선 단계 S11에서 DT MOS트랜지스터 1단위에 요구하는 신호 전파 지연 시간 $t_{\omega}(\leq 50 \text{ ps})$ 를 설정한다. 그리고, 단계 S12에서 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 등의 게이트 폭 W 이외의 파라미터를 결정한다.

계속해서, 단계 S13에서 수학식 7을 적용하여 $(R \cdot C)/t_{\omega} < 1$ 을 만족하는 최대 허용 게이트폭 W_{max} 를 구한다.

그리고, 단계 S14에서 최대 허용 게이트 폭 W_{max} 를 만족한 DT MOS트랜지스터를 포함하는 레이아웃 패턴을 생성하여 반도체 장치를 설계한다.

이와 같이, 제2 실시 형태의 반도체 장치의 설계 방법은 $\{(R \cdot C) / t_{\omega} < 1\}$ 을 이용하여 장치 설계를 행하고 있기 때문에, 설계자는 시행 착오에 상관없이 객관적 인식에만 기초해서 요구되는 신호 전파 지연 시간에 대해 확실하게 안정 동작시킬 수 있는 반도체 장치를 항상 얻을 수 있다. 즉, $\{(R \cdot C) / t_{\omega} < 1\}$ 에 의해서 소정의 신호 전파 지연 시간에 대하여 안정 동작이 가능한 최대 허용 게이트 폭 W_{max} 를 정확하게 인식할 수 있다고 하는 효과를 발휘한다.

이와 같이, 제2 실시 형태의 SOI 구조의 DT MOS트랜지스터는 보디 전위 고정에 있어서, 게이트 폭 W , 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 가 [식 6(식 7)]을 만족하도록 설계하고 있기 때문에, 고속 동작 시에서도 동작 속도가 변동하지 않은 안정 동작이 가능한 반도체 장치를 얻을 수 있다.

또, 도 7에서 도시한 플로우차트에서는 게이트 폭 W 를 최종적인 허용치(최대 허용 게이트 폭 W_{max})를 구하는 파라미터로 하였지만, $\{R \cdot C \cdot f < 1\}$ 을 만족하는 파라미터면 어느 것이나 허용치를 구하는 파라미터로 할 수 있으며, 더욱이 2개 이상의 파라미터의 조합의 허용치 등에도 적용할 수 있는 것은 물론이다.

이 때, 수학식 6을 만족하는 범위에서 최대의 게이트 폭 W 를 설정함으로써 요구되는 신호 전파 지연 시간 t_{ω} 가 50ps 이하의 고속 동작 시에도 안정된 동작이 가능한 범위에서 최고의 속도로 동작하는 SOI 구조의 DT MOS트랜지스터를 얻을 수 있다.

제2 실시 형태에서도 제1 실시 형태와 마찬가지로 도 5에서 나타낸 레이아웃 패턴 생성 장치에 의한 레이아웃 패턴 데이터(D3)의 자동 생성이 가능하다. 단지, 제2 실시 형태에서의 설정용 파라미터 D2는 신호 전파 지연 시간 t_{ω} 와, 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 등의 게이트 폭 W 이외의 파라미터를 의미한다.

제2 실시 형태에서 기록 매체(101)에 기록되는 레이아웃 패턴 생성 프로그램은 도 6의 단계 S11, 단계 S12와 마찬가지로 설정하여야 할 신호 전파 지연 시간 t_{ω} , 게이트 폭 W 이외의 파라미터를 부여하는 단계와, 도 7의 단계 S13 및 S14와 동일한 단계를 기록한 프로그램이 된다.

따라서, 레이아웃 패턴 생성 장치(100)는 부여된 회로 데이터(D1) 및 설정용 파라미터(D2)에 기초하여 $\{(R \cdot C) / t_{on} < 1\}$ 을 만족한 OT MOS트랜지스터를 포함하는 레이아웃 패턴 데이터 D3를 자동 생성할 수 있다.

<제3 실시 형태>

제1 실시 형태 및 제2 실시 형태 각각에서, 보디 전위를 고정하여 안정 동작이 가능한 SOI 구조의 (OT)MOS 트랜지스터에서의 게이트 폭 W , 게이트 산화막 두께 t_{ox} 및 SOI층 막 두께 t_{soi} 의 제약 조건을 나타냈지만, 게이트 폭 W 을 보다 크게 설정 가능하게 하기 때문에, 수학적 3 쪽은 수학적 6 외의 파라미터의 개선을 꾀하고 구조적인 연구를 더한 것이 제3 실시 형태 이후의 실시 형태이다.

도 8 및 도 9는 각각 본 발명의 제3 실시 형태의 SOI 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 8은 도 1에서 나타낸 평면 구조의 A-A 단면에 상당하고 도 9는 B-B 단면에 상당한다.

도 9에 도시한 바와 같이, SOI층(3)을 관통하여 드레인 영역(11) 및 소오스 영역(12)이 선택적으로 형성된다. 그리고, 드레인 영역(11), 소오스 영역(12) 간 상에 게이트 산화막(10)을 통해 게이트 전극(6)이 형성되며 게이트 전극(6)의 측면에 측벽(15)이 형성된다.

드레인 영역(11)에서 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 상부에 형성되는 부분 드레인 영역(11A)의 N형 불순물 농도(N^-)는 저농도로, 그 이외의 영역의 N형 불순물 농도(N^+)는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 상부에 형성되는 부분 소오스 영역(12A)의 N형 불순물 농도(N^-)는 저농도이며, 그 이외의 영역의 N형 불순물 농도(N^+)는 고농도로 설정되어 있다.

한편, 게이트 전극(6) 하측의 SOI층(3)에서 상층부의 보디 영역(14A)의 P형 불순물 농도(P^-)는 저농도로 설정되며, 하층부의 보디 영역(14B)의 P형 불순물 농도(P^0)는 보디 영역(14A)보다 고농도로 설정된다.

이와 같이, 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 하층 영역에 형성되는 보디 영역(14B)의 불순물 농도를 보디 영역(14A)의 불순물 농도(통상의 보디 영역(14)에 이용되는 불순물 농도)보다 높게 설정함으로써, 수학적 2의 보디부(13)의 비저항 ρ 를 저하시킬 수 있다.

도 10의 그래프에 도시한 바와 같이, 보디 영역(14A)의 불순물 농도의 10배의 불순물 농도로 보디 영역(14B)를 형성하면, 보디 영역(14B)의 비저항은 보디 영역(14A)의 1/10이 된다. 이 때, 보디부(13)의 비저항은 보디 영역(14A)의 비저항을 무시할 수 있기 때문에, 보디 영역(14B)의 비저항 ρ_{soi} 로 결정한다. 단지, SOI층 막 두께 t_{soi} 로 대체하여 보디 영역(14B)의 막 두께 t_{ox} 를 채용할 필요가 있다.

따라서, 제1 실시 형태의 수학적 5는 하기의 수학적 8로 변형할 수 있다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{1}{\rho_{soi} \cdot K_0 \cdot \epsilon_0 \cdot f}$$

예를 들면, 보디 영역(14B)의 비저항 $\rho_{soi}=0.008(\Omega \cdot \text{cm})$, 보디 영역(14B)의 막 두께 $t_{soi}=0.02(\mu\text{m})$ 로 다른 조건이 제1 실시 형태와 마찬가지로, $K_0=3.9$, $\epsilon_0=8.86 \times 10^{-14}(\text{F/cm})$, $f=10(\text{GHz})$, 게이트 산화막 두께 $t_{ox}=0.007(\mu\text{m})$ 의 경우, $\{W < 5.0\}$ 즉 $\{W < 2.23(\mu\text{m})\}$ 가 되는 제약 조건 5를 만족하면 좋다.

제약 조건 1과 제약 조건 5와의 비교로부터, 제3 실시 형태의 구조는 제1 실시 형태의 구조에 비교해서 최대 실현 가능한 게이트 폭 W 을 1.4배 정도 넓게 형성할 수 있는 것을 알 수 있다.

또, 보디 영역(14A)의 막 두께 t_{ox} [보디 영역(14B)의 표면의 형성 깊이]는 MOS 트랜지스터의 채널 농도[보디 영역(14A)의 농도]로 결정되는 최대 공핍층폭 X_{max} 보다 크게 하면 MOS 트랜지스터의 전류 특성에 영향을 미치는 일은 없다.

따라서, $t_{ox} > X_{max}$ 를 만족하도록 보디 영역(14A)을 형성하면 좋다. 또, K_0 : 실리콘의 비유전율, N_A : 보디 영역(14A)의 불순물 농도, $\phi_s(\text{inv})$: 채널 형성 시의 에너지 포텐셜로 하면 최대 공간층폭 X_{max} 는 하기의 수학적 9에서 결정한다.

$$X_{max} = \sqrt{\frac{2 \cdot K_0 \cdot \epsilon_0 \cdot \phi_s(\text{inv})}{q N_A}}$$

제3 실시 형태의 구조를 제2 실시 형태의 OTMOS 구조로 적용한 경우, 제2 실시 형태의 수학적 7은 하기의 수학적 10으로 변경할 수 있으며, 제1 실시 형태에 적용한 경우와 마찬가지로 최대 실현 가능한 게이트 폭 W 을 넓게 할 수 있다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{t_{soi}}{\rho_{soi} \cdot K_0 \cdot \epsilon_0}$$

도 8 및 도 9에서 도시한 제3 실시 형태의 구조의 제조 방법에 대해 진술한다. 우선, FS 절연층(4), FS 전극(5) 및 게이트 전극(6) 형성 전의 단계에서 SOI층(3)의 하층부에 P형 불순물을 주입하고, 불순물 농도가 P^0 반도체 영역을 형성한다. 그 후, 기존의 방법으로 FS 절연층(4), FS 전극(5), 게이트 전극(6),

드레인 영역(11), 소오스 영역(12) 및 촉벽(15)을 형성함으로써 제3 실시 형태의 구조를 얻는다.

또, P형 불순물의 주입 시에 S01층(3)의 하층부에 형성된 불순물 농도 P^0 의 반도체 영역은 S01층(3)을 관통하는 드레인 영역(11) 및 소오스 영역(12)의 형성 시에 드레인 영역(11), 소오스 영역(12) 이외의 영역만 잔존하고 잔존한 영역이 보디 영역(14B)가 된다.

<제4 실시 형태>

도 11은 본 발명의 제4 실시 형태인 S01 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 11은 도 1에서 나타난 평면 구조의 B-B 단면에 상당한다.

도 11에 도시한 바와 같이, 게이트 전극(6)의 측면에 촉벽(15)이 형성된다. 드레인 영역(11)에서 촉벽(15) 전체 및 게이트 전극(6)의 일부 아래쪽으로 위치하고, S01층(3)의 상층부에 형성되는 부분 드레인 영역(11B)의 N형 불순물 농도(N^1)는 저농도로, 그 이외의 영역의 N형 불순물 농도(N^1)는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 촉벽(15) 전체 및 게이트 전극(6)의 일부 아래쪽으로 위치하며 S01층(3)의 상층부에 형성되는 부분 소오스 영역(12B)의 N형 불순물 농도(N^1)는 저농도이며, 그 이외의 영역의 N형 불순물 농도(N^1)는 고농도로 설정되어 있다.

한편, 게이트 전극(6) : 촉벽(15) 하층의 S01층(3)에서 촉벽(15)의 아래쪽으로 위치하는 영역이 보디 영역(14D)이 되며, 게이트 전극(6) 아래쪽으로 위치하는 영역이 보디 영역(14C)이 된다. 보디 영역(14C)의 P형 불순물 농도(P^1)는 저농도로 설정되며, 보디 영역(14D)의 P형 불순물 농도(P^0)는 보디 영역(14C)보다 고농도로 설정된다. 따라서, 드레인 영역(11) 및 소오스 영역(12)의 N^1 영역과의 PN 접합면은 전부 보디 영역(14D)에 의해서 형성된다.

부분 드레인 영역(11B) 및 부분 소오스 영역(12B)은 촉벽(15)의 아래쪽으로 더해서, 게이트 전극(6)의 일부의 아래쪽에도 형성되는 만큼, 보디 영역(14D)보다 게이트 전극(6)의 중심 방향으로 길이 d1 연장되어 형성된다.

또, FS 절연층(4), FS 전극(5), 게이트 전극(6) 및 촉벽(15)의 구성은 도 8 및 도 9에서 도시한 제3 실시 형태의 구조와 마찬가지로 한다.

이와 같이, 촉벽(15) 아래쪽으로 위치하여 S01층(3)의 하층부에 형성되는 보디 영역(14D)의 불순물 농도를 보디 영역(14C)의 불순물 농도(통상의 보디 영역(14)에 이용하는 불순물 농도)보다 높게 설정함으로써, 수학적 2의 보디부(13)의 비저항을 저하시킬 수 있다.

그 결과, 제4 실시 형태의 구조는 제3 실시 형태와 마찬가지로, 제1 실시 형태의 구조에 비교하여 최대한 실현 가능한 게이트 폭 W를 넓게 할 수 있다.

또한, 드레인 영역(11) 및 소오스 영역(12)의 N^1 영역과의 PN 접합면은 전부 보디 영역(14D)에 의해서 형성되기 때문에, 드레인 영역(11) 혹은 소오스 영역(12)의 N^1 영역으로부터의 공간충의 신장을 억제할 수 있으며 편치 드루에 강한 구조가 실현한다.

또한, 부분 드레인 영역(11B) 및 부분 소오스 영역(12B)은 보디 영역(14D)에서 게이트 전극(6)의 중심 방향으로 길이 d1 연장되어 형성되기 때문에, 보디 영역(14D)의 비교적 높은 불순물 농도 P^0 가 채널 형성 시의 MOS 트랜지스터의 전류 특성에 악영향을 미치는 일도 없다.

도 11에서 도시한 제4 실시 형태의 구조의 제조 방법을 설명한다. 우선, 게이트 전극(6) 형성 후 촉벽(15) 형성 전의 단계에서 도 12에 도시한 바와 같이, 불순물 농도가 P^1 의 S01층(3)에 대해 게이트 전극(6)을 마스크로서 P형 불순물 이온(31)을 수직으로 주입(예를 들면, 도우즈량 $5 \times 10^{12}/cm^2$ 의 불순물 30KeV의 주입 에너지로 이온 주입)하여 P형 반도체 영역(24, 25)을 형성함과 동시에, N형 불순물 이온(32)을 경사 회전 주입하여 N형 중도 드레인 영역(21) 및 중도 소오스 영역(22)을 형성한다. 중도 드레인 영역(21) 및 중도 소오스 영역(22)은 N형 불순물 이온(32)을 경사 회전 주입하는 만큼, 반도체 영역(24, 25)에 비교하여 게이트 전극(6)의 중심 방향으로 연장하여 형성된다.

그리고, 촉벽(15) 형성 후에 게이트 전극(6) 및 촉벽(15)을 마스크로 해서 다시 N형 불순물을 주입함으로써 도 11에서 도시한 구조를 얻는다.

또, P형 불순물의 주입 시에 S01층(3)의 하층부에 형성된 불순물 농도 P^0 의 반도체 영역(24, 25)은 S01층(3)을 관통하는 드레인 영역(11) 및 소오스 영역(12)의 형성 시에 드레인 영역(11), 소오스 영역(12) 이외의 영역만 잔존하고 잔존한 영역이 보디 영역(14D)이 된다.

<제5 실시 형태>

도 13은 본 발명의 제5 실시 형태인 S01 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 13은 도 1에서 도시한 평면 구조의 B-B 단면에 상당한다.

도 13에 도시한 바와 같이, 게이트 전극(6)의 측면에 촉벽(15)이 형성된다. 드레인 영역(11)에서 촉벽(15) 아래쪽으로 위치하여 S01층(3)을 관통하여 형성되는 부분 드레인 영역(11C)의 N형 불순물 농도(N^1)는 저농도로, 그 이외의 영역의 N형 불순물 농도(N^1)는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 촉벽(15) 아래쪽으로 위치하여 S01층(3)을 관통하는 부분 소오스 영역(12C)의 N형 불순물 농도(N^1)는 저농도이며, 그 이외의 영역의 N형 불순물 농도(N^1)는 고농도로 설정되어 있다.

한편, 게이트 전극(6) 아래쪽의 S01층(3)에서 상층부의 보디 영역(14E)의 P형 불순물 농도(P^1)는 저농도

로 설정되며, 하층부의 보디 영역(14F)의 P형 불순물 농도(P^0)는 보디 영역(14E)보다 고농도로 설정된다. 또, FS 절연층(4), FS 전극(5), 게이트 전극(6) 및 측벽(15)의 구성은 도 8 및 도 9에서 도시한 제3 실시 형태의 구조와 마찬가지로이다.

이와 같이, 게이트 전극(6) 아래쪽으로 위치하여 SOI층(3)의 하층부에 형성되는 보디 영역(14F)을 상층부에 형성되는 보디 영역(14E)보다 높은 불순물 농도로 설정함으로써, 수확식 2에서의 보디부(13)의 비저항 ρ 를 저하시킬 수 있다. 그 결과, 제5 실시 형태의 구조는 제1 실시 형태의 구조에 비교하여 최대 실현 가능한 게이트 폭 W 을 넓게 할 수 있다.

또한, 부분 드레인 영역(11C) 및 부분 소오스 영역(12C)을 SOI층(3)을 관통하여 형성함으로써, 드레인 영역(11) 및 소오스 영역(12)의 N⁺ 영역과 보디 영역(14F)의 P⁰ 영역에 의한 PN 접합면이 전혀 형성되지 않기 때문에 접합 누설(junction leakage)을 억제할 수 있다.

도 13에서 도시한 제5 실시 형태의 구조의 제조 방법에 대해 진술한다. 우선, 게이트 전극(6) 형성 전의 단계에서 SOI층(3)의 하층부에 P형 불순물을 주입하여 불순물 농도 P^0 의 반도체 영역을 형성한다.

그리고, 게이트 전극(6) 형성 후 측벽(15) 형성 전의 단계에서 불순물 농도 P의 SOI층(3)에 대해 게이트 전극(6)을 마스크로서 N형 불순물을 경사 회전 이온 주입하여 N형 중도 드레인 영역 및 중도 소오스 영역을 형성한다. 이 때, 주입 에너지를 제4 실시 형태의 제조 시보다도 강하게 해서 SOI층(3)을 관통하도록 중도 드레인 영역 및 중도 소오스 영역을 형성함과 동시에, 이온 주입 시의 경사 회전 각도를 제4 실시 형태의 제조 시보다도 수직 방향으로 변경한다.

따라서, P형 불순물의 주입 시에 SOI층(3)의 하층부에 형성된 불순물 농도 P^0 의 반도체 영역 중 중도 드레인 영역, 중도 소오스 영역 이외의 영역만 잔존하고 잔존한 영역이 보디 영역(14B)이 된다.

그리고, 측벽(15) 형성 후에 게이트 전극(6) 및 측벽(15)을 마스크로서 다시 N형의 불순물을 주입함으로써 도 13에서 도시한 구조를 얻는다.

<제6 실시 형태>

도 14는 본 발명의 제6 실시 형태인 SOI 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 14는 도 1에서 도시한 평면 구조의 B-B 단면에 상당한다.

도 14에 도시한 바와 같이, 게이트 전극(6)의 측벽에 측벽(15)이 형성된다. 드레인 영역(11)에서 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 상층부에 형성되는 부분 드레인 영역(11A)의 N형 불순물 농도(N^-)는 저농도로, 그 이외의 영역의 N형 불순물 농도(N^+)는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 상층부에 형성되는 부분 소오스 영역(12A)의 N형 불순물 농도(N^-)는 저농도이며, 그 이외의 영역의 N형 불순물 농도(N^+)는 고농도로 설정되어 있다.

한편, 게이트 전극(6) ; 측벽(15) 하층의 SOI층(3)에서 게이트 전극(6)의 바로 아래에 위치하여 SOI층(3)의 하층부에 형성되는 영역이 보디 영역(14H)이 되며, 그 이외의 영역이 보디 영역(14G)이 된다. 보디 영역(14G)의 P형 불순물 농도(P^-)는 저농도로 설정되며, 보디 영역(14H)의 P형 불순물 농도(P^0)는 보디 영역(14G)보다 고농도로 설정된다.

또, FS 절연층(4), FS 전극(5), 게이트 전극(6) 및 측벽(15)의 구성은 도 8 및 도 9에서 도시한 제3 실시 형태의 구조와 마찬가지로이다.

이와 같이, 게이트 전극(6)의 바로 아래에 위치하여 SOI층(3)의 하층부에 형성되는 보디 영역(14H)을 보디 영역(14G)보다 높은 불순물 농도로 설정함으로써, 수확식 2에서의 보디부(13)의 비저항 ρ 를 저하시킬 수 있다. 그 결과, 제6 실시 형태의 구조는 제1 실시 형태의 구조에 비교해서 최대 실현 가능한 게이트 폭 W 을 넓게 할 수 있다.

또한, P⁰형 보디 영역(14H)을 게이트 전극(6)의 바로 아래에 위치하는 SOI층(3)의 하층부에만 형성하기 때문에, 드레인 영역(11) 및 소오스 영역(12)의 N⁺ 영역과 보디 영역(14H)의 P⁰ 영역에 의한 PN 접합면이 전혀 형성되지 않기 때문에 정선 누설을 억제할 수 있다.

도 14에서 도시한 제6 실시 형태의 구조의 제조 방법에 대해 진술한다. 우선, 도 15에 도시한 바와 같이 게이트 전극(6) 형성 후 측벽(15) 형성 전의 단계에서 전면 P형 불순물 이온(31)을 주입한다.

이 때, 게이트 전극(6) 통해서 이온 주입된 P형 불순물만이 보디부(13)의 하층부에 주입되며, 게이트 전극(6)을 통과하지 않고서 이온 주입된 P형 불순물은 SOI층(3)을 통과하여 SOI층(3) 하의 매립 산화막(2 ; 도시하지 않음)에 주입되도록 한다. 예를 들면, SOI층 막 두께 $t_{SOI}=100(\text{nm})$, 게이트 전극(6)의 막 두께 $t_{gate}=200(\text{nm})$ 일 때, 주입 에너지 120(KeV), 도우즈량 $1 \times 10^{14}/\text{cm}^2$ 정도로 불순물 이온 주입하면 좋다.

다음에, SOI층(3)에 대해 게이트 전극(6)을 마스크로서 N형 불순물 이온을 주입하여 N형 중도 드레인 영역 및 중도 소오스 영역을 형성한다.

그리고, 측벽(15) 형성 후에 게이트 전극(6) 및 측벽(15)을 마스크로 해서 다시 N형 불순물을 주입함으로써 도 14에서 도시한 구조를 얻는다.

<제7 실시 형태>

도 16은 본 발명에 제7 실시 형태인 SOI 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 도

16에 도시한 바와 같이, 막 두께 t_1 의 S01층(3A)의 보디 고정 트랜지스터 영역(A1)에 보디 전위가 고정된 트랜지스터(DTMOS를 포함한다)가 형성되며, 막 두께 $t_2(<t_1)$ 의 S01층(3B)의 보디 플로우팅 트랜지스터 영역(A2)에 보디가 플로우팅 상태의 트랜지스터가 형성된다.

S01층(3A)의 막 두께 t_1 은 $t_{\text{soi}} = 1$ 로 할 때에 [식 4(혹은 식 6)]를 만족하여 원하는 게이트 폭 W 가 형성 가능한 정도로 설정되며, S01층(3B)의 막 두께는 동작 시에 보디 영역(14)이 완전 공지화 상태가 되도록 설정한다.

이러한 구조의 제7 실시 형태에서, 보디 고정 트랜지스터 영역 A1에 형성되는 S01 구조의 MOS 트랜지스터는 원하는 게이트 폭 W 에서 안정 동작이 가능해진다.

한편, 보디 플로우팅 트랜지스터 영역(A2)에 형성되는 S01 구조의 MOS 트랜지스터는 동작 시에 보디 영역(14)이 완전 공지화 상태가 되기 때문에, S 팩터(Subthreshold factor)가 좋은 전기 특성을 얻을 수 있다. 따라서, 보디 플로우팅 트랜지스터 영역(A2)에 동작 속도가 불안정한 MOS 트랜지스터를 이용하여도 문제가 없는 회로를 형성하면, S 팩터가 좋은 전기 특성이 얻어지는 만큼 유효가 된다.

<실시 형태 8>

도 17은 본 발명의 제8 실시 형태인 S01 구조의 MOS 트랜지스터의 평면 구조를 나타낸 평면도이다.

도 17에 도시한 바와 같이, 드레인 영역(11), 소오스 영역(12)을 평면 상 둘러싸서 FS 전극(5)이 형성되며, 드레인 영역(11), 소오스 영역(12) 간 및 FS 전극(5)의 일부 상에 게이트 전극(6A)이 형성된다.

게이트 전극(6A)은 드레인 영역(11), 소오스 영역(12) 간의 영역 상에서 2개의 프레임부(61, 62)를 갖고 있으며, 프레임부(61, 62)의 개구부에 보디 영역(14)이 노출하고 있다. 프레임부(61, 62) 내 각각의 보디 영역(14) 상에 보디 콘택트(16, 16)를 설치하고 있다. 도 17에서 게이트 폭 W 방향에서의 FS 전극(5)으로부터 프레임부(61)까지의 거리가 W_1 , 프레임부(61, 62) 간의 거리가 W_2 , FS 전극(5)으로부터 프레임부(62)까지의 거리가 W_3 가 되고 있다.

또, FS 전극(5)의 외부 주변부에 존재하는 보디부(13)에서도 게이트 전극(6A)의 양 단의 연장선 상에도 보디 콘택트(16, 16)가 형성되며, 이들 보디 콘택트(16)는 FS 전극(5)을 끼워 드레인 영역(11) 및 소오스 영역(12)과 평면 상 대향하는 위치에 존재한다. 또한, 도 17의 최외각의 외주선 L1는 S01층이 LOCOS 등으로 절연 분리되는 경계선을 나타내고 있다.

또한, 게이트 전극(6A) 형성 방향의 단면 구조는 도 1에서 도시한 제1 실시 형태의 단면 구조와 마찬가지로이며, 드레인 영역(11), 소오스 영역(12) 형성 방향의 단면 구조는 도 9, 도 11, 도 13, 도 14, 도 21 등으로 도시한 구조와 마찬가지로이다. 또한, 제8 실시 형태의 MOS 트랜지스터는 제1 실시 형태에서 나타난 보디 고정 전위 MOS 트랜지스터에서도 제2 실시 형태에서 나타난 DT MOS트랜지스터 중 어느쪽이나 좋다.

이러한 평면 구조의 제8 실시 형태의 MOS 트랜지스터는 게이트 전극(6A)의 프레임부(61, 62) 내에 보디 콘택트(16)가 설치되기 때문에, 보디 영역(14)에서의 고정 전위 전달 경로가 3분할되기 때문에, 3분할된 보디 영역(14) 각각의 게이트 폭 W_1 , W_2 및 W_3 에 대해서 수학식 4 혹은 수학식 6을 만족하면 안정 동작이 가능해진다.

그 결과, 드레인 영역(11), 소오스 영역(12) 및 게이트 전극(6A)에서 구성되는 MOS 트랜지스터가 실질적인 게이트 폭으로서 ($W_1+W_2+W_3$)를 설정할 수 있기 때문에, 안정 동작이 가능하며 또한 충분히 큰 게이트 폭의 MOS 트랜지스터를 형성할 수 있다.

<제9 실시 형태>

도 18은 본 발명의 제9 실시 형태인 S01 구조의 MOS 트랜지스터의 평면 구조를 나타낸 평면도이다.

도 18에 도시한 바와 같이, FS 전극(5A)은 4개의 슬릿(SL1 ~ SL4)이 설치되며, 각 슬릿(SL1 ~ SL4) 내에 드레인 영역(41 ~ 44) 및 소오스 영역(51 ~ 54)이 형성된다. FS 전극(5A)의 하측은 보디부(13)가 형성된다. 그리고, 드레인 영역(41 ~ 44), 소오스 영역(51 ~ 54) 간 및 FS 전극(5A)의 일부 상에 게이트 전극(6)이 형성된다.

그리고, 제8 실시 형태와 마찬가지로 FS 전극(5A)의 외부 주변부에 존재하는 보디부(13)에서의 게이트 전극(6)의 양 단의 연장선 상에 보디 콘택트(16, 16)가 형성된다. 또, 도 18의 최 외의 외주선 L1는 S01층이 LOCOS 등으로 절연 분리되는 경계선을 나타내고 있다.

또한, 게이트 전극(6) 형성 방향의 단면 구조는 도 1에서 도시한 제1 실시 형태의 단면 구조와 마찬가지로이며, 드레인 영역(41 ~ 44), 소오스 영역(51 ~ 53) 형성 방향의 단면 구조는 도 9, 도 11, 도 13, 도 14, 도 21 등으로 도시한 구조와 마찬가지로이다. 또한, 제9 실시 형태의 MOS 트랜지스터는 제1 실시 형태에서 나타난 보디 고정 전위 MOS 트랜지스터에도 제2 실시 형태에서 나타난 DT MOS트랜지스터 중 어느쪽이나 좋다.

이러한 평면 구조의 제9 실시 형태의 MOS 트랜지스터는 FS 전극(5A)의 슬릿(SL1 ~ SL4)의 경계가 되는 FS 전극(5A)의 영역의 아래쪽으로는 보디부(13)가 형성되어 있으며, 게이트 전극(6) 아래쪽의 보디 영역(14)에 비교해서 충분히 작은 저항치에 의한 고정 전위 전달 경로가 확보되기 때문에, 보디 영역(14)에서의 고정 전위 전달 경로는 4분할되며 각 게이트 폭 W_1 , W_2 , W_3 및 W_4 에 대해 수학식 4 혹은 수학식 6을 만족하면 안정 동작이 가능해진다.

그 결과, 드레인 영역(41 ~ 44), 소오스 영역(51 ~ 54) 및 게이트 전극(6)으로 구성되는 MOS 트랜지스터가 실질적인 게이트 폭으로서 ($W_1+W_2+W_3+W_4$)를 설정할 수 있기 때문에, 안정 동작이 가능하며 또한 충분히 큰 게이트 폭의 MOS 트랜지스터를 형성할 수 있다.

<실시 형태 10>

도 19는 본 발명의 제10 실시 형태인 SOI 구조의 MOS 트랜지스터의 평면 구조를 나타낸 평면도이다.

도 19에 도시한 바와 같이, 드레인 영역(11), 소오스 영역(12) 간 및 보디부(13)의 일부 상에 게이트 전극(68)이 형성된다. 게이트 전극(68)은 드레인 영역(11), 소오스 영역(12) 간의 영역 상에서 2개의 프레임부(63, 64)를 갖고 있으며 프레임부(63, 64)의 개구부에 노출되는 보디 영역(14) 상에 각각 보디 콘택트(16, 16)를 설치하고 있다. 도 19에 도시한 바와 같이, 게이트 전극(68)의 게이트 폭 Ψ 방향에서의 게이트 전극(68)의 경계부로부터 프레임부(63)까지의 거리가 $\Psi/2$, 프레임부(63, 64) 간의 거리가 $\Psi/2$, 게이트 전극(68)의 경계부로부터 프레임부(64)까지의 거리가 $\Psi/2$ 로 되어 있다.

또, 제8 실시 형태 및 제9 실시 형태와 마찬가지로, 게이트 전극(68)의 양 단의 연장선 상에서의 보디부(13) 상에도 보디 콘택트(16, 16)가 형성된다. 또한, 도 19의 최밖의 외주선 L는 SOI층이 LOCOS 등으로 절연 분리되는 경계선을 나타내고 있다.

또, 드레인 영역(11), 소오스 영역(12) 형성 방향의 단면 구조는 도 9, 도 11, 도 13, 도 14, 도 21 등으로 도시한 구조와 마찬가지로, 또한, 제10 실시 형태의 MOS 트랜지스터는 제1 실시 형태에서 나타난 보디 고정 전위 MOS 트랜지스터에도 제2 실시 형태에서 나타난 DT MOS 트랜지스터 중 어느쪽이나 좋다.

이러한 평면 구조의 제10 실시 형태의 MOS 트랜지스터는 게이트 전극(68)의 도 19 상에 세로 방향으로 형성되는 좌단 및 우단의 'I' 부분에 의해서 H형 게이트의 좌우의 'I'와 마찬가지로, 보디부(13 : 보디 영역(14))와 드레인 영역(11) 및 소오스 영역(12)을 전기적으로 분리할 수 있다.

그리고, 제10 실시 형태의 MOS 트랜지스터는 게이트 전극(68)의 프레임부(63, 64) 내에 보디 콘택트(16)가 설치되기 때문에, 제8 실시 형태와 마찬가지로, 보디 영역(14)에서의 고정 전위 전달 경로가 3분할되며 각 게이트 폭 $\Psi/2$, $\Psi/2$ 및 $\Psi/2$ 에 대해 수학적 4 혹은 수학적 6을 만족하면 안정 동작이 가능해진다.

그 결과, 드레인 영역(11), 소오스 영역(12) 및 게이트 전극(68)에서 구성되는 MOS 트랜지스터가 실질적인 게이트 폭으로서 ($\Psi/2 + \Psi/2 + \Psi/2$)를 설정할 수 있기 때문에, 안정 동작이 가능하며 또한 충분히 큰 게이트 폭의 MOS 트랜지스터를 형성할 수 있다.

또한, FS 전극의 형성을 생략하는 만큼 보디부(13)의 형성 면적을 작게 할 수 있으며, 이 구성으로 DT MOS 트랜지스터를 구성하면 보다 빠른 동작 속도를 달성할 수 있다.

<기타>

상기한 실시 형태의 MOS 트랜지스터를 이용해서 각 실시 형태의 게이트 폭 Ψ 가 소정의 제약 조건을 만족하는 범위에서 게이트 어레이를 구성해도 좋다. 또한, 상기 실시 형태에서는 주로 NMOS 트랜지스터를 예로 들었지만 PMOS 트랜지스터에도 본 발명이 적용 가능한 것은 물론이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 기재된 반도체 장치의 설계 방법의 단계 (b)는, C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항(Ω), f : 소정의 클럭의 동작 주파수(Hz)로 할 때, $f \geq 500\text{MHz}$ 의 범위에서 조건식 : $R \cdot C \cdot f < 1$ 을 만족하도록 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있기 때문에, 고속 동작 시에서도 항상 동작 속도가 안정된 보디 전위 고정 MOS 트랜지스터를 설계할 수 있다.

본 발명에 기재된 반도체 장치의 설계 방법은, C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항(Ω), t_d : MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)로 할 때, $t_d \leq 50\text{ps}$ 의 범위에서, 조건식 : $(R \cdot C) / t_d < 1$ 을 만족하도록 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있기 때문에, 고속 동작 시에서도 항상 동작 속도가 안정된 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 설계할 수 있다.

본 발명에 따른 반도체 장치는 청구항1에 기재된 반도체 장치의 설계 방법에 의해서 설계되기 때문에, 고속 동작 시에서도 동작 속도가 안정된 보디 전위 고정 MOS 트랜지스터를 얻을 수 있다.

본 발명에 따른 반도체 장치는, 청구항2에 기재된 반도체 장치의 설계 방법에 의해서 설계되기 때문에, 고속 동작 시에서도 동작 속도가 안정된 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 얻을 수 있다.

본 발명에 기재된 반도체 장치는, C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항(Ω), f : 소정의 클럭의 동작 주파수(Hz)로 할 때, $f \geq 500\text{MHz}$ 의 범위에서 조건식 : $R \cdot C \cdot f < 1$ 을 만족하도록 MOS 트랜지스터를 형성하고 있기 때문에, 고속 동작 시에서도 동작 속도가 안정된 보디 전위 고정 MOS 트랜지스터를 얻을 수 있다.

본 발명에 기재된 반도체 장치는 C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항(Ω), t_d : MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)로 할 때, $t_d \leq 50\text{ps}$ 의 범위에서 조건식 : $(R \cdot C) / t_d < 1$ 을 만족하도록 MOS 트랜지스터를 형성하고 있기 때문에, 고속 동작 시에서도 동작 속도가 안정된 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 얻을 수 있다.

본 발명에 따른 반도체 장치는, 보디부의 저항 R은 Ψ : 보디 영역에서의 고정 전위 전달 경로의 게이트 전극의 게이트 폭 방향의 길이, L : 보디 영역에서의 상기 고정 전위 전달 경로의 게이트 전극의 게이트 길이 방향의 길이, t_{ox} : SOI층의 막 두께, ρ : 보디 영역의 비저항으로 할 때, $R = (\rho \cdot \Psi) / (L \cdot t_{\text{ox}})$ 에서 결정하기 때문에, SOI층의 막 두께, 보디 영역의 비저항을 미리 설정함으로써 보디 영역의 크기의 허용 범위를 구할 수 있다.

본 발명에 따른 반도체 장치에서, 보디 영역을 제외하는 제1 및 제2 반도체 영역에 인접한 보디부 상에 절연막을 통해 형성되는 분리 전극을 구비하고, 분리 전극을 끼워 제1 및 제2 반도체 영역과 평면 상 대

향하는 위치의 보드부의 영역 상에 분리 전극 외 보드 컨택트가 형성되기 때문에, 이 분리 전극에 역 바이어스 전압을 인가함으로써, 분리 전극 외 보드 컨택트와 제1 및 제2 반도체 영역과의 사이를 전기적으로 분리하고 분리 전극 외 보드 컨택트로부터 멀어지는 고정 전위가 제1 및 제2 반도체 영역에 악영향을 미치지 않도록 할 수 있다.

본 발명에 따른 반도체 장치에서, 게이트 전극은 보드 영역의 보드 컨택트 가능 영역이 노출하는 개구부를 갖고 보드 컨택트는 보드 컨택트 가능 영역 상에 형성되는 게이트 전극 내 보드 컨택트를 더욱 포함하고 있다.

따라서, 보드 영역에서의 고정 전위 전달 경로는 게이트 전극 내 보드 컨택트에 의해서 분할되기 때문에, 게이트 전극 내 보드 컨택트에 의해서 분할된 보드 영역 단위로 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보드 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 복수의 제1 및 제2 반도체 영역을 각각 보드부에서 분리 형성되어 있다.

따라서, 보드 영역에서의 고정 전위 전달 경로는 상기 복수의 제1 및 제2 반도체 영역을 각각 분리하는 보드부에 의해서 분할되기 때문에, MOS 트랜지스터에서의 복수의 제1 및 제2 반도체 영역 각각이 상기 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보드 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 게이트 전극은 제1 및 제2 반도체 영역에 인접한 보드부 상을 보드 영역 상에서 게이트 길이 방향으로 더욱 연장되어 형성되며, 게이트 전극 외 보드 컨택트는 게이트 전극을 끼워 제1 및 제2 반도체 영역과 평면 상 대향하는 보드부의 영역 상에 형성된다.

따라서, 게이트 전극에 OFF 전압을 인가함으로써 게이트 전극 외 보드 컨택트와 제1 및 제2 반도체 영역과의 사이를 전기적으로 분리하고, 게이트 전극 외 보드 컨택트로부터 멀어지는 고정 전위가 제1 및 제2 반도체 영역에 악영향을 미치지 않도록 할 수 있다.

본 발명에 따른 반도체 장치에서, 게이트 전극은 보드 영역의 보드 컨택트 가능 영역이 노출하는 개구부를 갖고 보드 컨택트는 보드 컨택트 가능 영역 상에 형성되는 게이트 전극 내 보드 컨택트를 더욱 포함하고 있다.

따라서, 보드 영역에서의 고정 전위 전달 경로는 게이트 전극 내 보드 컨택트에 의해서 분할되기 때문에, MOS 트랜지스터는 분할된 보드 영역 단위로 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보드 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 적어도 1개의 보드 컨택트는 게이트 전극의 게이트 폭 방향의 일단 및 타단의 연장선 상에 위치하는 보드부 상에 형성되는 제1 및 제2 보드 컨택트를 포함하고 있다.

따라서, 보드 영역에서의 고정 전위 전달 경로는 제1 및 제2 보드 컨택트에 의해서 분할되기 때문에, MOS 트랜지스터는 2분할된 보드 영역 단위로 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보드 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 보드 영역의 하층부에 있는 제2 보드 영역은 제1 보드 영역의 제2 도전형 불순물 농도보다도 높은 제2 도전형의 불순물 농도를 갖기 때문에, 보드 영역 전체를 제1 보드 영역의 불순물 농도로 하는 경우에 비교하여 보드 영역의 비저항을 감소시킬 수 있다.

그 결과, 조건식 1 혹은 조건식 2를 만족하는 파라미터 중 보드 영역의 비저항, 보드 영역에서의 고정 전위 전달 경로의 게이트 전극의 게이트 폭 방향의 길이 이외의 파라미터가 전부 동일 조건인 경우, 보드 영역의 비저항을 저하시키는 만큼 상기 게이트 폭 방향의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 비교적 불순물 농도가 높은 제1 및 제2 부분 보드 영역은 비교적 불순물 농도가 낮은 제1 및 제2 주영역과 계면을 접하여 형성되며, 비교적 불순물 농도가 낮은 제1 보드 영역은 제1 및 제2 주영역과 계면을 접하는 일 없이 형성되기 때문에, 제1 및 제2 주영역으로부터의 공핍층의 신장을 제1 및 제2 부분 보드 영역에 의해서 확실하게 억제할 수 있으며, 편치 드루에 강한 구조의 MOS 트랜지스터를 얻을 수 있게 된다.

또한, 비교적 불순물 농도가 낮은 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 부분 보드 영역에서 게이트 전극의 중심 방향으로 소정 거리 연장하여 형성되기 때문에, 제1 및 제2 부분 보드 영역의 비교적 높은 불순물 농도가 채널 형성 시의 MOS 트랜지스터의 전류 특성에 악영향을 미치는 일도 없다.

본 발명에 따른 반도체 장치에서, 비교적 불순물 농도가 낮은 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 반도체 영역 간에서 대향하는 일부분의 영역에 SOI층을 관통하여 형성된다.

따라서, 비교적 불순물 농도가 높은 제2 보드 영역과 비교적 불순물 농도가 높은 제1 혹은 제2 반도체 영역이 계면을 접하는 일 없이 때문에, 정선 누설을 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치에서, 비교적 불순물 농도가 높은 제2 보드 영역은 제1 및 제2 주영역과 계면을 접하는 일 없이 하층부의 중심 영역에 형성된다.

따라서, 비교적 불순물 농도가 높은 제2 보드 영역과 비교적 불순물 농도가 높은 제1 혹은 제2 반도체 영역이 계면을 접하는 일 없이 때문에 정선 누설을 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치에서, 보드 전위를 고정하는 MOS 트랜지스터는 막 두께가 비교적 두꺼운 제1 영역 상에 형성되며, 보드 플로우팅 MOS 트랜지스터는 막 두께가 비교적 얇은 제2 영역 상에 형성된다.

따라서, 조건식 1 혹은 조건식 2를 만족하는 파라미터 중 SOI층의 막 두께, 게이트 전극의 게이트 폭 방향의 보드 영역의 길이 이외의 파라미터가 전부 동일 조건인 경우, SOI층의 막 두께를 두껍게 하는 만큼,

보디 전위를 고정하는 MOS 트랜지스터의 게이트 쪽 방향의 보디 영역의 길이를 길게 설정할 수 있다.

한편, 보디 플로팅 MOS 트랜지스터는 보디 전위를 고정하는 MOS 트랜지스터에 영향을 미치는 일 없이 원하는 동작 특성을 얻도록 S01층의 막 두께를 얇게 해서 형성할 수 있다.

본 발명에 기재된 기록 매체는, 상기 기재된 반도체 장치의 설계 방법을 실행시키기 위한 프로그램이 기록되어 있기 때문에, 이 프로그램을 컴퓨터에 실행시킴으로써, 고속 동작 시에서도 항상 안정 동작이 가능한 보디 전위 고정용 MOS 트랜지스터 혹은 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 설계할 수 있다.

(5) 청구의 범위

청구항 1. 지지 기판, 매립 산화막, 및 S01층으로 이루어진 S01 기판 상에 형성되며, 소정의 클럭에 기초하여 동작하는 MOS 트랜지스터를 갖는 반도체 장치의 설계 방법에 있어서,

상기 MOS 트랜지스터와,

상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과,

상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제1 도전형의 제2 반도체 영역과,

상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와,

상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극과,

상기 보디부에 전기적으로 접속되며, 고정 전위를 받는 적어도 1개의 보디 콘택트를 구비하고,

(a) 상기 소정의 클럭의 동작 주파수를 부여하는 단계와,

(b) 상기 소정의 클럭의 동작 주파수에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고,

상기 단계 (b)는,

C : 상기 MOS 트랜지스터의 게이트 용량 (F)

R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항 (Ω)

f : 상기 소정의 클럭의 동작 주파수 (Hz)

로 할 때,

$f \geq 500\text{MHz}$ 의 범위에 있어서,

조건식 1 : $R \cdot C \cdot f < 1$

를 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 것을 특징으로 하는 반도체 장치의 설계 방법.

청구항 2. 지지 기판, 매립 산화막, 및 S01층으로 이루어진 S01 기판 상에 형성되는 MOS 트랜지스터를 갖는 반도체 장치의 설계 방법에 있어서,

상기 MOS 트랜지스터와,

상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과,

상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제1 도전형의 제2 반도체 영역과,

상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와,

상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극을 구비하고,

상기 게이트 전극은 상기 보디부에 전기적으로 접속되며,

상기 보디부에 전기적으로 접속되며, 고정 전위를 받는 적어도 1개의 보디 콘택트를 더욱 구비하고,

(a) 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간을 부여하는 단계와,

(b) 상기 신호 전파 지연 시간에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고,

상기 단계 (b)는,

C : 상기 MOS 트랜지스터의 게이트 용량 (F)

R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항 (Ω)

td : 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간 (s)

로 할 때,

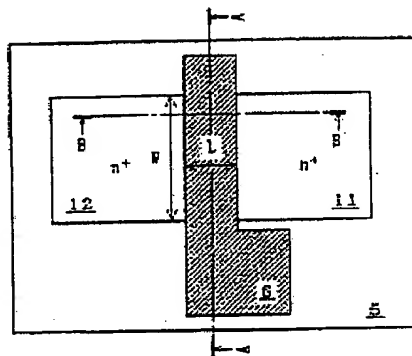
$td \leq 50\text{ps}$ 의 범위에 있어서,

조건식 2 : $(R \cdot C) / td < 1$

을 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정한 것을 특징으로 하는 반도체 장치의 설계 방법.

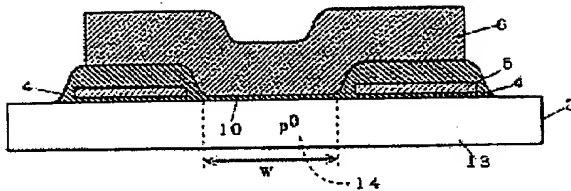
도면

도면1



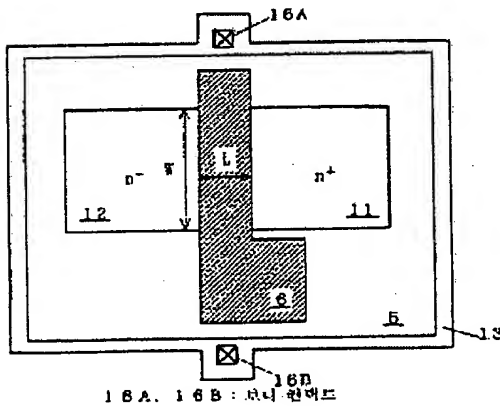
5 : FS 전극 6 : 게이트 전극
11 : 드레인 영역 12 : 소스 영역

도면2



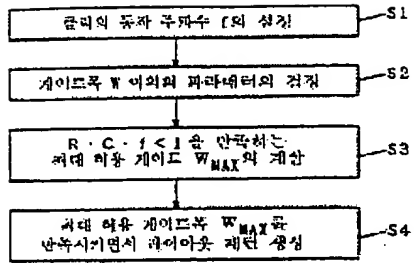
3 : SOI 층 13 : 본디파
4 : FS 전연막 14 : 부디 영역

도면3

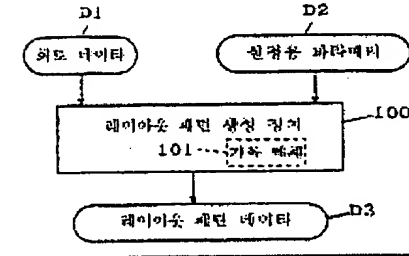


16A, 16B : 부디 전극패드

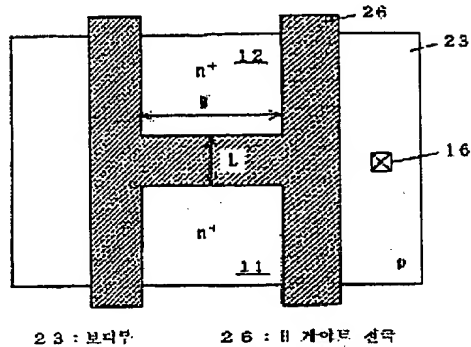
도 14



도 15



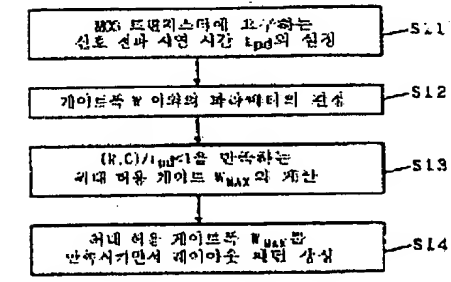
도 16



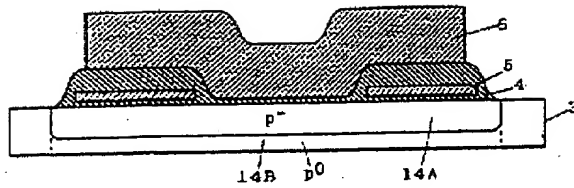
23 : 브리드

26 : H 게이트 전극

도 17

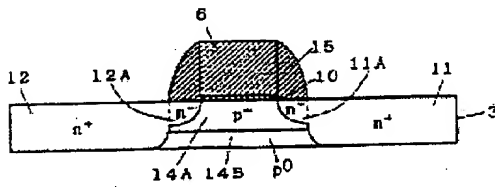


도면8



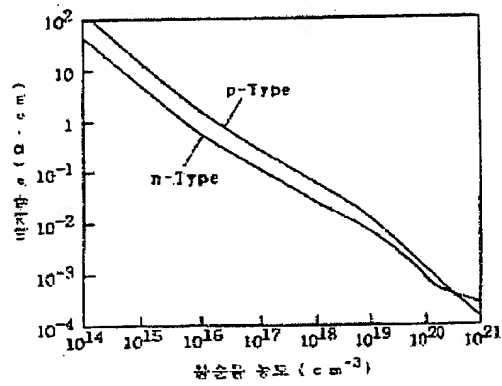
14A, 14B: 보더 영역

도면9

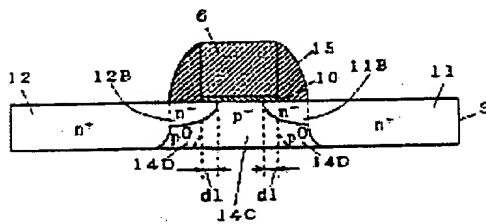


11A: 부분 드레인 영역
11B: 부분 소오스 영역
15: 측벽

도면10

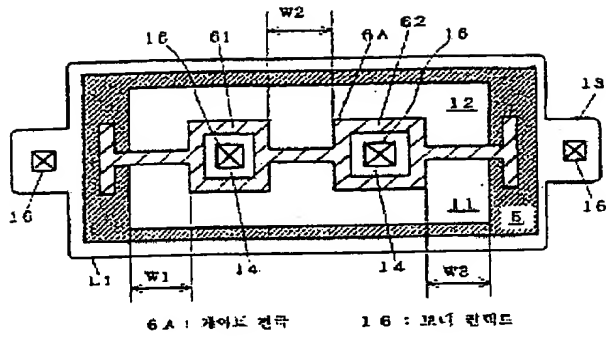


도면11

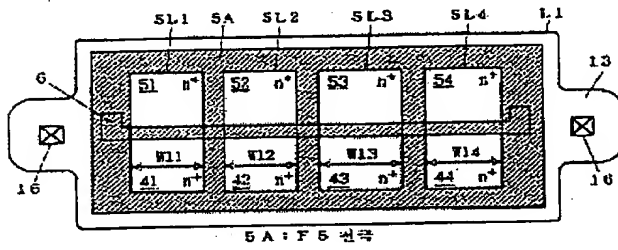


11B: 부분 드레인 영역
12B: 부분 소오스 영역
14C, 14D: 보더 영역

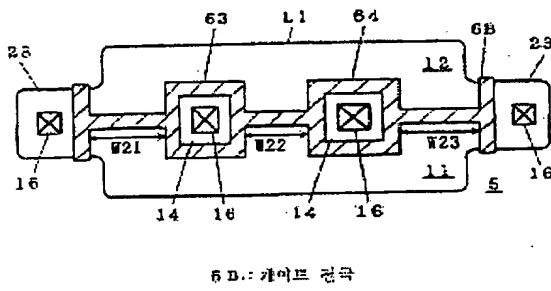
도면 17



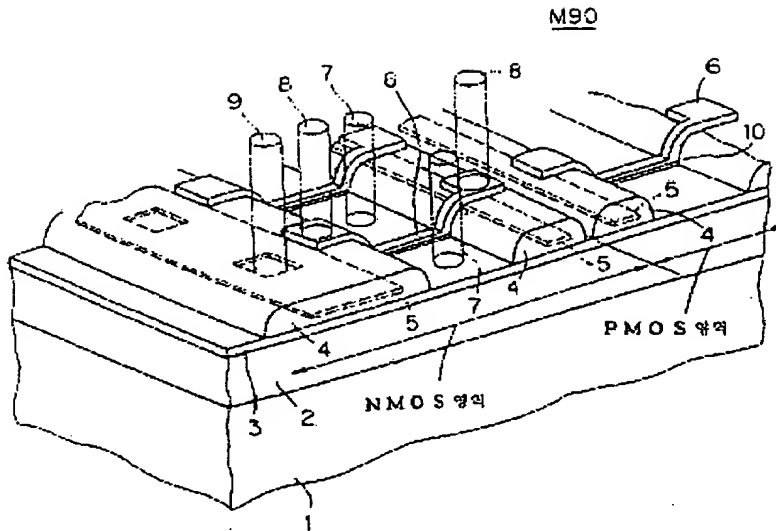
도면 18



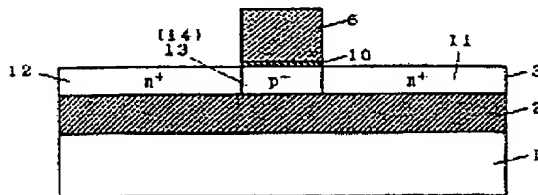
도면 19



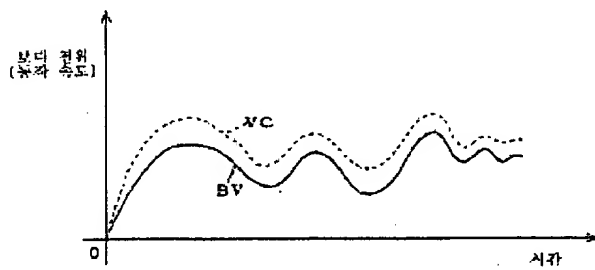
도면20



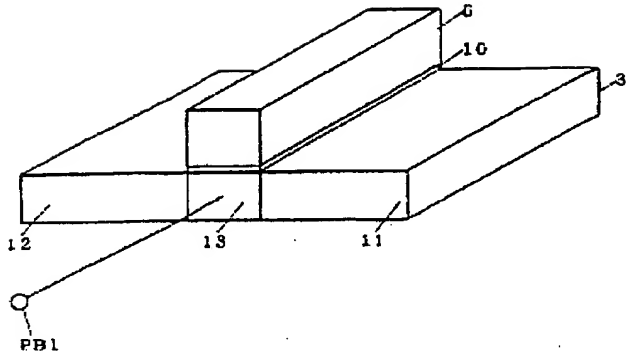
도면21



도면22



도 23



도 24

